

Citation 3

Patent Application Publication No: JP H10-322208

Publication date: December 4, 1998

Application No: JP H9-131012

Application date: May 21, 1997

Applicant: Toshiba Corp. (000003078)

Inventors: Kazuhide Ikeda and Nobutaka Daikoumei

[Title of the Invention]

A/D CONVERSION PROCESSING UNIT

[0001]

[Technical Field of the Invention]

The present invention relates to A/D conversion processing units that convert a high-frequency analog signal into a digital signal and processes the same.

[0002]

[Prior Art]

As is well known, A/D conversion processing units for converting a high-frequency analog signal into a digital signal and processing the same, employ a configuration as shown in Fig. 3.

[0003]

In Fig. 3, input terminals 111 to 11n receive a plurality of analog signals at the same frequency, and supply the same to one input end of each of mixers 121 to 12n. In addition, a local oscillation signal generating from a local oscillator 13 is supplied to the other input ends of the mixers 121 to 12n. Specifically, the mixer 121 to 12n each mix the analog signal with the local oscillation signal to perform frequency conversion in accordance with a frequency band to be processed, and then output the resultant to band filters 141 to 14n.

[0004]

The band filters 141 to 14n impose band limitations for removal of unnecessary waves from the outputs of the mixers 121 to 12n, and then output analog signals with no unnecessary waves to analog/digital (A/D) converters 151 to 15n. The A/D converters 151 to 15n convert the analog signals with no unnecessary waves into digital signals, and store the digital signals in buffer memories 161 to 16n.

[0005]

These buffer memories 161 to 16n are connected to a digital signal processing part 17. The digital signal processing part 17 reads and processes digital signals of respective systems from the buffer memories 161 to 16n. At that time, to establish synchronization among the digital signals from the buffer memories 161 to 16n, a unified synchronization timing is required for operations of the A/D converters 151 to 15n and subsequent operations.

[0006]

Accordingly, the timing signal generator 18 is connected to control respective ends of the A/D converters 151 to 15n and buffer memories 161 to 16n so as to supply a synchronization timing signal from the timing signal generator 18. Therefore, synchronization of digital signals is realized among the A/D converters 151 to 15n and the buffer memories 161 to 16n.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322208

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>6</sup>

H 0 3 M 1/12

識別記号

F I

H 0 3 M 1/12

C

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平9-131012

(22) 出願日 平成9年(1997)5月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 池田 一秀

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

(72) 発明者 大光明 宜孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

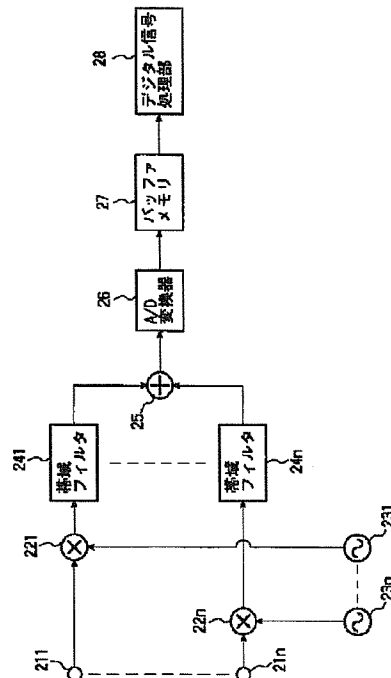
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 A/D変換処理装置

(57) 【要約】

【課題】装置の小型化及び低コスト化を図るとともに、多チャンネルの信号のリアルタイム処理に有利なA/D変換処理装置を提供する。

【解決手段】複数の同一周波数のアナログ信号を取り込む複数の入力端子と、複数の入力端子の出力に対してそれぞれが異なる周波数となるように周波数変換処理を実行する複数の周波数変換手段と、複数の周波数変換手段の出力から不要波を除去する複数の帯域フィルタと、複数の帯域フィルタの出力を合成させる合成手段と、合成手段の出力に対してデジタル信号変換処理を実行するデジタル信号変換処理手段とを備えている。



## 【特許請求の範囲】

【請求項 1】 複数の同一周波数のアナログ信号を取り込む複数の入力端子と、前記複数の入力端子の出力に対してそれぞれが異なる周波数となるように周波数変換処理を実行する複数の周波数変換手段と、前記複数の周波数変換手段の出力から不要波を除去する複数の帯域フィルタと、前記複数の帯域フィルタの出力を合成させる合成手段と、前記合成手段の出力に対してデジタル信号変換処理を実行するデジタル信号変換処理手段とを具備してなることを特徴とする A/D 変換処理装置。

【請求項 2】 前記複数の周波数変換手段は、前記複数の入力端子から前記合成手段に至る各信号経路毎に異なる周波数となるような局部発振信号を各信号経路側へ出力する複数の局部発振手段と、各信号経路中に介在されており、前記入力端子の出力と前記局部発振信号とを混合させることにより変調を行なう複数の変調手段とを有してなることを特徴とする請求項 1 記載の A/D 変換処理装置。

【請求項 3】 前記デジタル信号変換処理手段は、前記合成手段の出力をデジタル信号に変換するアナログ/デジタル変換手段と、このアナログ/デジタル変換手段の出力を格納する記憶手段と、この記憶手段にアクセスし、格納された周波数帯域毎のデジタル信号を読み出し、かつ信号処理を実行する信号処理手段とを有してなることを特徴とする請求項 1 記載の A/D 変換処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、高周波数のアナログ信号をデジタル信号に変換し処理する A/D 変換処理装置に関する。

## 【0002】

【従来の技術】周知のように、高周波数であるアナログ信号をデジタル信号に変換し処理する A/D 変換処理装置にあつては、図 3 に示すような構成を有する装置が適用されている。

【0003】図 3 において、入力端子 111~11n では、複数の同一周波数のアナログ信号を受信し、それぞれミキサ 121~12n の一方の入力端に供給する。また、ミキサ 121~12n の他方の入力端には、局部発振器 13 から発生される局部発振信号が供給される。すなわち、ミキサ 121~12n は、それぞれアナログ信号と局部発振信号とを混合することにより、処理する帯域に応じた周波数変換を行ない、以後、帯域フィルタ 141~14n へ出力する。

【0004】帯域フィルタ 141~14n は、ミキサ 121~12n の出力から不要波除去のための帯域制限を

行ない、以後、A/D (Analog/Digital) 変換器 151~15n へ不要波を除去されたアナログ信号を出力する。A/D 変換器 151~15n は、不要波を除去されたアナログ信号をデジタル信号に変換し、このデジタル信号をバッファメモリ 161~16n へ蓄積する。

【0005】これらバッファメモリ 161~16n には、デジタル信号処理部 17 が接続されており、このデジタル信号処理部 17 は、それぞれの系統のデジタル信号をバッファメモリ 161~16n から読み出し処理する。このとき、それぞれのバッファメモリ 161~16n のデジタル信号間の同期をとるためには、A/D 変換器 151~15n 以降の処理において、統一された同期タイミングが必要となる。

【0006】そこで、A/D 変換器 151~15n 及びバッファメモリ 161~16n のそれぞれの制御端には、タイミング信号発生器 18 が接続され、このタイミング信号発生器 18 からの同期タイミング信号が供給されることになる。このため、A/D 変換器 151~15n 及びバッファメモリ 161~16n におけるデジタル信号の同期化が実現される。

【0007】ところで、デジタル信号処理部 17 は、信号処理を実行するためにそれぞれの系統のバッファメモリ 161~16n にアクセスしてデジタル信号を読み出す必要があり、このため、メモリ間のデータ転送に処理時間を費やしてしまうことになる。これは、多チャンネルのリアルタイム処理が必要な場合に、大きい損失となってしまうことになる。また、A/D 変換器 151~15n 及びバッファメモリ 161~16n の同期タイミングを、タイミング信号発生器 18 を設けることにより実現しているので、その分、回路構成が大型化し、経済的不利にもなる。

## 【0008】

【発明が解決しようとする課題】以上のように、従来の A/D 変換処理装置では、タイミング信号発生器を用いて信号処理における同期タイミングをとっているため、その分回路構成が大型化し、経済上不利となっている。また、デジタル信号処理部が信号処理を行なう際に、各系統のバッファメモリにいちいちアクセスしなければならないため、メモリ間のデータ転送に処理時間を費やしてしまい、多チャンネルの信号のリアルタイム処理に大きい損失を与えるという不都合を有している。

【0009】この発明の目的は、装置の小型化及び低コスト化を図るとともに、多チャンネルの信号のリアルタイム処理に有利な A/D 変換処理装置を提供することにある。

## 【0010】

【課題を解決するための手段】この発明に係る A/D 変換処理装置は、複数の同一周波数のアナログ信号を取り込む複数の入力端子と、複数の入力端子の出力に対してそれぞれが異なる周波数となるように周波数変換処理を

実行する複数の周波数変換手段と、複数の周波数変換手段の出力から不要波を除去する複数の帯域フィルタと、複数の帯域フィルタの出力を合成させる合成手段と、合成手段の出力に対してデジタル信号変換処理を実行するデジタル信号変換処理手段とを備えるようにしたものである。

【0011】この構成によれば、A/D変換前に各系統のアナログ信号が複数の周波数変換手段、複数の帯域フィルタ及び合成手段にて周波数多重されるため、A/D変換器及びバッファメモリも1系統で済み、デジタル信号処理部におけるデータ読み出しも1つのバッファメモリをアクセスすればよいだけとなる。このため、メモリ間のデータ転送における処理時間を短縮することができ、多チャンネルのリアルタイム処理に有利となる。また、各系統のアナログ信号を一括A/D変換するための同期タイミングを発生させる必要がなくなり、これによりタイミング信号発生器等を別個に設ける必要がなく、その分装置の小型化及び低コスト化を図ることができる。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。図1は、この発明の一実施の形態を示している。図1において、複数の同一周波数のアナログ信号は、複数の入力端子211～21nにより受信され、変調手段であるミキサ221～22nの一方の入力端に供給される。ミキサ221～22nの他方の入力端には、局部発振器231～23nから発生された局部発振信号がそれぞれ供給される。なお、局部発振器231～23nは、入力端子211～21nから出力されるアナログ信号毎に異なる周波数となるような局部発振信号を発生することになる。

【0013】すなわち、ミキサ221～22nは、それぞれアナログ信号と局部発振信号とを混合することにより、処理する帯域に応じた周波数変換を行ない、以後、帯域フィルタ241～24nへ出力する。

【0014】帯域フィルタ241～24nは、ミキサ221～22nの出力から不要波除去のための帯域制限を行ない、以後、不要波を除去された信号を合成手段である加算器25へ出力する。加算器25は、帯域フィルタ241～24nのそれぞれの出力を合成し、A/D変換器26へ出力する。A/D変換器26は、加算器25の出力をデジタル信号に変換し、このデジタル信号をバッファメモリ27に蓄えている。

【0015】また、バッファメモリ27には、デジタル信号処理部28が接続されており、このデジタル信号処理部28は、バッファメモリ27に蓄積されたデジタル信号を読み出し、かつデジタル信号処理を実行する。

【0016】なお、局部発振器231～23nから発生される局部発振信号は、加算器25の合成出力において、お互いが干渉を起こさないような周波数配置となる

ように予め設定されている。

【0017】図2は、加算器25における合成時の周波数配置の1例を示している。図2において、縦軸は信号レベルを示しており、横軸は周波数を示している。すなわち、入力端子211～21nから加算器25に至る各系統1～nの信号が周波数毎に配置されている。加算器25にて周波数多重された各系統1～nの信号は、A/D変換器26にて一括A/D変換処理が行なわれて、バッファメモリ27に蓄積される。ここで、A/D変換処理の帯域は、合成帯域全てをカバーされる。

【0018】そして、デジタル信号処理部28では、FFT(Fast Fourier Transform)処理等で周波数分析を行なうことで、必要な系統の帯域のデジタル信号を抜き出すことができる。しかも、一括A/D変換であるため、各系統1～n相互間の同期は完全に取れており、各系統1～n相互間の信号処理も容易である。

【0019】したがって、上記実施の形態によれば、各系統1～nの信号は、ミキサ221～22n、局部発振器231～23n、帯域フィルタ241～24n及び加算器25により、A/D変換前に各系統のアナログ信号が周波数多重されるため、一括A/D変換するための同期タイミングを発生させる必要がなくなる。このため、タイミング信号発生器等を別個に設ける必要がなく、その分装置の小型化及び低コスト化を図ることができる。

【0020】また、A/D変換前に各系統のアナログ信号が周波数多重される構成であることにより、A/D変換器26及びバッファメモリ27も1系統で済み、デジタル信号処理部28におけるデータ読み出しも1つのバッファメモリ27をアクセスすればよいだけとなる。このため、メモリ間のデータ転送における処理時間を短縮することができ、多チャンネルの信号のリアルタイム処理に有利となる。

【0021】

【発明の効果】以上詳述したようにこの発明によれば、装置の小型化及び低コスト化を図るとともに、多チャンネルの信号のリアルタイム処理に有利なA/D変換処理装置を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るA/D変換処理装置の一実施の形態を示すブロック構成図。

【図2】同実施の形態における加算器で合成された信号の周波数配置を説明するために示す図。

【図3】従来のA/D変換処理装置を示すブロック構成図。

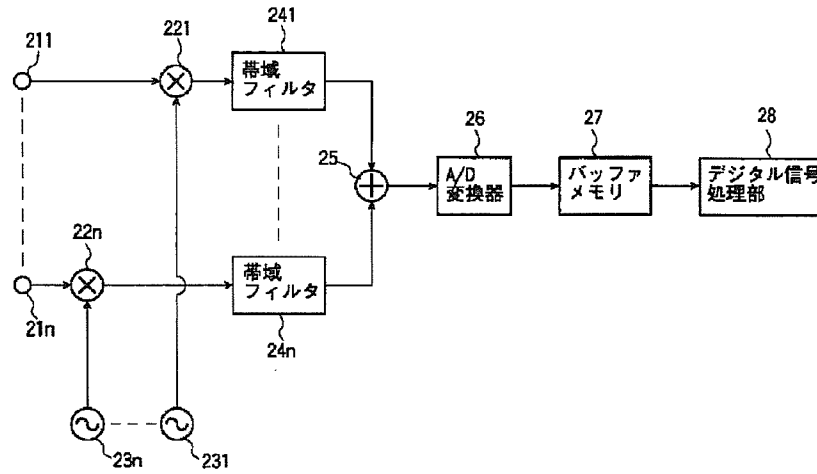
【符号の説明】

111～11n, 211～21n…入力端子、  
121～12n, 221～22n…ミキサ、  
13, 231～23n…局部発振器、  
141～14n, 241～24n…帯域フィルタ、  
25…加算器、

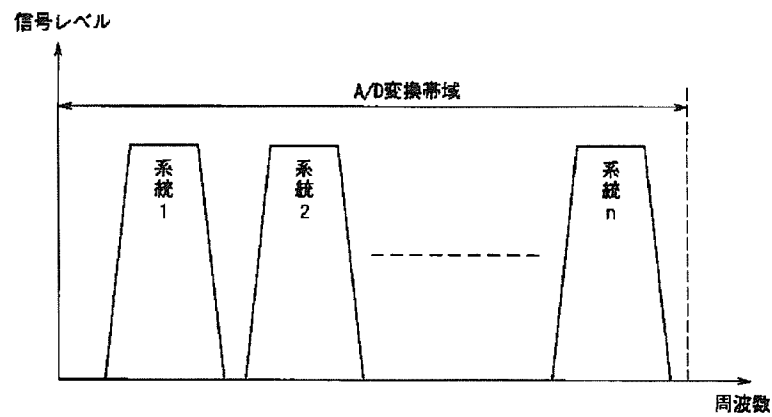
5  
151～15n, 26…A/D変換器、  
161～16n, 27…バッファメモリ、

6  
17, 28…デジタル信号処理部、  
18…タイミング信号発生器。

【図1】



【図2】



【図 3】

